

PAT-NO: JP02000299409A /
DOCUMENT-IDENTIFIER: JP 2000299409 A
TITLE: STRUCTURE FOR FLIP CHIP MOUNTING SEMICONDUCTOR CHIP AND
ITS MANUFACTURE
PUBN-DATE: October 24, 2000

INVENTOR-INFORMATION:
NAME SHIMOGAI, KOJI COUNTRY
N/A

ASSIGNEE-INFORMATION:
NAME ROHM CO LTD COUNTRY
N/A

APPL-NO: JP11108776
APPL-DATE: April 16, 1999

INT-CL (IPC): H01L023/12, H01L021/56 , H01L021/60 , H01L023/14 , H05K003/32
, H05K009/00

US-CL-CURRENT: 257/E21.514

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the damage to a semiconductor chip and the occurrence of malfunctions due to static electricity, noise, etc., by forming a film for coating carbide of a synthetic resin in an anisotropic conductive film piece on the outer peripheral surfaces of the semiconductor chip and anisotropic conductive film piece.

SOLUTION: An expansion sheet B and an anisotropic conductive film C are respectively stuck to the rear surface and whole front surface of a semiconductor wafer A. Then the wafer A is cut into semiconductor chips 1 together with the film C stuck to the front surface of the wafer A by projecting a laser beam upon the wafer A. At the time of cutting the wafer A with the laser beam, part of the outer peripheral surface of the anisotropic conductive film piece 3 of each chip 1 is baked and carbonized, and the produced carbide adheres to the outer peripheral surface of the chip 1 and forms a carbide film 4. Therefore, the damage to the chip 1 and the occurrence of malfunctions due to static electricity, noise, etc., can be reduced surely.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-299409

(P2000-299409A)

(43)公開日 平成12年10月24日 (2000.10.24)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テームコード* (参考) |
|--------------------------|-------|---------------|-------------------|
| H 0 1 L 23/12 | | H 0 1 L 23/12 | L 5 E 3 1 9 |
| 21/56 | | 21/56 | R 5 E 3 2 1 |
| 21/60 | 3 1 1 | 21/60 | 3 1 1 S 5 F 0 4 4 |
| 23/14 | | H 0 5 K 3/32 | B 5 F 0 6 1 |
| H 0 5 K 3/32 | | 9/00 | Q |

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願平11-108776
(22)出願日 平成11年4月16日 (1999.4.16)

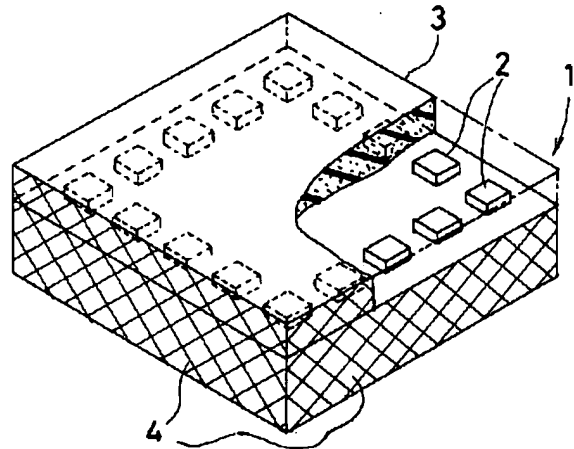
(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院清崎町21番地
(72)発明者 下雅意 浩治
京都市右京区西院清崎町21番地 ローム株式会社内
(74)代理人 100079131
弁理士 石井 曉夫 (外2名)
Fターム(参考) 5E319 AB05 BB16 CC61 CD25 GG20
5E321 AA22 BB60 GG01
5F044 LL09 QQ01
5F061 AA01 BA03 CA22 CB06 CB07
CB13

(54)【発明の名称】 フリップ・チップ実装式半導体チップの構造及びその製造方法

(57)【要約】

【課題】 半導体チップ1を回路基板5に対して、当該半導体チップ1の表面に貼着した異方性導電フィルム片3にて、接着・固着する同時にその電極パンプ2を回路基板5における配線パターン9に電気的に接続するというフリップ・チップ実装式半導体チップにおいて、これに、静電気及びノイズ等に対するシールド機能を付与する。

【解決手段】 前記半導体チップ1における外周面及び前記異方性導電フィルム片3における外周面に、前記異方性導電フィルム片3における合成樹脂の炭化物の被膜4を形成する。



【特許請求の範囲】

【請求項1】表面に、接続用電極バンプを突出すると共に異方性導電フィルム片を貼着して成る半導体チップにおいて、

この半導体チップにおける外周面及び前記異方性導電フィルム片における外周面に、前記異方性導電フィルム片における合成樹脂の炭化物の被膜を形成したことを特徴とするフリップ・チップ実装式半導体チップの構造。

【請求項2】接続用電極バンプ付き半導体チップの複数個を一体化した半導体ウエハーを製造する工程と、前記半導体ウエハーの表面全体に異方性導電フィルムを貼着する工程とから成り、前記半導体ウエハーを、これに対するレーザ光線の照射によって、その表面に貼着した異方性導電フィルムと一緒に各半導体チップごとに切断することを特徴とするフリップ・チップ実装式半導体チップの製造方法。

【請求項3】接続用電極バンプ付き半導体チップの複数個を一体化した半導体ウエハーを製造する工程と、この半導体ウエハーを、これをエキスパンションシートに貼着した状態で各半導体チップごとに分割する工程とから成り、前記半導体ウエハーの表面全体に異方性導電フィルムを貼着したのち、この異方性導電フィルムを、これに対するレーザ光線の照射によって、各半導体チップごとの異方性導電フィルム片に切断することを特徴とするフリップ・チップ実装式半導体チップの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップのうち、回路基板に対して異方性導電フィルム片による接着にて実装するか、或いは、これよりも大きい別の半導体チップに対して異方性導電フィルム片による接着にて実装するようにしたフリップ・チップ実装式の半導体チップの構造と、その製造方法とに関するものである。

【0002】

【従来の技術】一般に、この種のフリップ・チップ実装式半導体チップは、その裏面に、接続用電極バンプを突出して設け、この半導体チップを回路基板等に対してその裏面と回路基板等との間に、合成樹脂に導電粒子を練り込んで成る異方性導電フィルム片を挟んで押圧することにより、半導体チップを回路基板等に接着・固定すると同時に、その接続用電極バンプを前記異方性導電フィルム片中における導電粒子にて回路基板における配線パターンに対して電気的に接続するという構成である。

【0003】そして、この方式は、半導体チップを回路基板等に対して搭載したのち、この半導体チップにおける接続用電極と、回路基板における配線パターンとの間を細い金属にてワイヤボンディングすることによって実装する場合に比べて、著しく簡便で、且つ、小型・軽量化できるという利点を有する。

【0004】

【発明が解決しようとする課題】しかし、このフリップ・チップ実装方式の半導体チップにおいて、その外周面は、半導体金属がそのまま露出する形態であることに加えて、前記異方性導電フィルム片の外周面には、これに練り込んだ導電粒子が露出しているから、外部からの静電気等のノイズを受け易いという問題があった。

【0005】本発明は、この問題を解消できる構造と、その製造方法とを提供することを技術的課題とするものである。

10 【0006】

【課題を解決するための手段】この技術的課題を達成するため本発明の構造は、「表面に、接続用電極バンプを突出すると共に異方性導電フィルム片を貼着して成る半導体チップにおいて、この半導体チップにおける外周面及び前記異方性導電フィルム片における外周面に、前記異方性導電フィルム片における合成樹脂の炭化物の被膜を形成することを特徴とする。」ものである。

【0007】また、本発明の製造方法は、「接続用電極バンプ付き半導体チップの複数個を一体化した半導体ウエハーを製造する工程と、前記半導体ウエハーの表面全体に異方性導電フィルムを貼着する工程とから成り、前記半導体ウエハーを、これに対するレーザ光線の照射によって、その表面に貼着した異方性導電フィルムと一緒に各半導体チップごとに切断することを特徴とする。」か、或いは、「接続用電極バンプ付き半導体チップの複数個を一体化した半導体ウエハーを製造する工程と、この半導体ウエハーを、これをエキスパンションシートに貼着した状態で各半導体チップごとに分割する工程とから成り、前記半導体ウエハーの表面全体に異方性導電フィルムを貼着したのち、この異方性導電フィルムを、これに対するレーザ光線の照射によって、各半導体チップごとの異方性導電フィルム片に切断することを特徴とする。」ものである。

【0008】

【発明の作用・効果】前記異方性導電フィルムにおける合成樹脂の炭化物は、高い抵抗値を有するから、前記したように、半導体チップにおける外周面及び異方性導電フィルム片における外周面に、この炭化物の被膜を形成することにより、静電気及びノイズに対するシールド機能を付与することができ、半導体チップに静電気又はノイズ等によって損傷又は誤作動が発生することを確実に低減できるのである。

【0009】また、前記した各方法によると、半導体ウエハーを異方性導電フィルム異方性導電フィルムをレーザ光線の照射によって切断するとき、この異方性導電フィルム片における外周面の一部が焼けて炭化し、その炭化物が、レーザ光線にて切断された半導体チップの外周面、又は、前の工程で予め切断されている半導体チップの外周面に付着することになり、半導体チップ及び異方性導電フィルム片の外周面に高い抵抗値を有する炭化物

の被膜を簡単に形成することができるから、この炭化物の被膜に形成することに要するコストを大幅に低減でき、換言すると、半導体チップにシール機能を付与するための炭化物の被膜を低コストで形成することができるのである。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図面について説明する。

【0011】図1は、本発明の実施の形態によるフリップ・チップ実装式の半導体チップ1を示す。

【0012】この半導体チップ1は、図示しない各種の回路素子が形成され、且つ、その表面には前記各回路素子に対する接続用電極パンプ2の複数個が突出するように設けられている。

【0013】この半導体チップ1における表面に、合成樹脂に導電粒子を練り込んで成る異方性導電フィルム片3を貼着し、更に、前記半導体チップ1の外周面及び前記異方性導電フィルム片3の外周面に、前記異方性導電フィルム片3における合成樹脂の炭化物の被膜4を形成するという構成にする。

【0014】そして、この半導体チップ1を回路基板等に対して実装するに際しては、図2及び図3に示すように、この半導体チップ1を、その表面における異方性導電フィルム片3が回路基板5に対して密接したのち回路基板5に対して押圧し、この押圧状態で、前記異方性導電フィルム片3における合成樹脂を硬化することにより、前記半導体チップ1は前記異方性導電フィルム片3にて回路基板5に対して強固に接着・固着される一方、前記異方性導電フィルム片3のうち半導体チップ1における各電極パンプ2の部分が特に圧縮され、この部分に練り込まれている導電粒子が互いに密接することで、半導体チップ1における各電極パンプ2を回路基板5における各配線パターン6に対して電気的に接続することができるのである。

【0015】この場合において、前記半導体チップ1における外周面及び前記異方性導電フィルム片3の外周面には、前記異方性導電フィルム片3における合成樹脂の高い抵抗値を有する炭化物の被膜4が形成されていることにより、半導体チップ1及び異方性導電フィルム片3に、静電気及びノイズに対するシールド機能を付与することができるのである。

【0016】次に、図4～図9は、本発明の実施の形態による第1の製造方法を示す。

【0017】この第1の製造方法は、図4及び図5に示すように、接続用電極パンプ2付き半導体チップ1の複数個を一体化した半導体ウエハーAを製造したのち、この半導体ウエハーAの裏面にエキスパンションシートBを貼着する工程と、図6及び図7に示すように、前記半導体ウエハーAの表面の全体に、異方性導電フィルムCを貼着する工程とから成り、次いで、図8及び図9に示

すように、前記前記半導体ウエハーAを、これに対してレーザ光線発生源Dから発射されるレーザ光線Eを照射することによって、その表面に貼着した異方性導電フィルムCと一緒に各半導体チップ1ごとに切断するというものである。

【0018】このレーザ光線による半導体ウエハーAの切断に際して、各半導体チップ1における異方性導電フィルム片3における外周面の一部が焼けて炭化し、その炭化物が、レーザ光線にて切断された各半導体チップ1の外周面に被膜状に付着することになるから、図1に示す異方性導電フィルム片3を備えたフリップ・チップ実装式の半導体チップ1を、その外周面に高い抵抗値を有する炭化物の被膜4を形成した形態にして多数個同時に製造できるのである。

【0019】また、図10～図12は、本発明の実施の形態による第2の製造方法を示す。

【0020】この第2の製造方法は、図10に示すように、接続用電極パンプ2付き半導体チップ1の複数個を一体化した半導体ウエハーAを製造したのち、この半導体ウエハーAの裏面にエキスパンションシートBを貼着する工程と、図11及び図12に示すように、前記半導体ウエハーAを、高速回転するダイシングカッター等にて各半導体チップ1ごとに切断する工程とから成り、次いで、前記半導体ウエハーAにおける表面の全体に、図11及び図12に二点鎖線で示すように、前記第1の製造方法と同様に、異方性導電フィルムCを貼着したのち、この異方性導電フィルムCを、レーザ光線の照射によって、各半導体チップ1ごとの異方性導電フィルム片3に切断するというものである。

【0021】このレーザ光線による異方性導電フィルムCの切断に際して、各半導体チップ1における異方性導電フィルム片3における外周面の一部が焼けて炭化し、その炭化物が、前の工程に予め切断されている各半導体チップ1の外周面に被膜状に付着することになるから、図1に示す異方性導電フィルム片3を備えたフリップ・チップ実装式の半導体チップ1を、その外周面に高い抵抗値を有する炭化物の被膜4を形成した形態にして多数個同時に製造できるのである。

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体チップを示す一部切欠斜視図である。

【図2】前記半導体チップを回路基板に実装している状態を示す縦断正面図である。

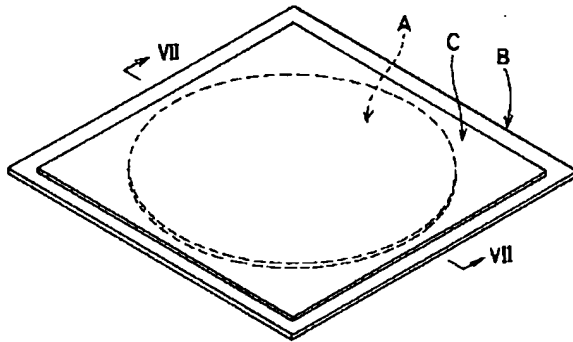
【図3】前記半導体チップを回路基板に実装した状態を示す縦断正面図である。

【図4】本発明の第1の製造方法において半導体ウエハーの裏面にエキスパンションシートを貼着した状態を示す斜視図である。

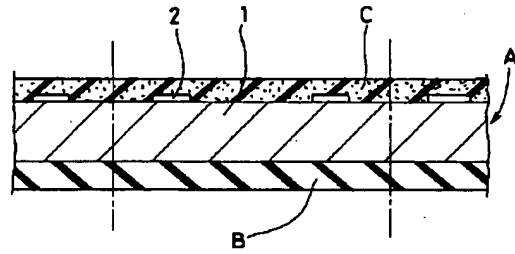
【図5】図4のV-V視拡大断面図である。

【図6】本発明の第1の製造方法において半導体ウエハ

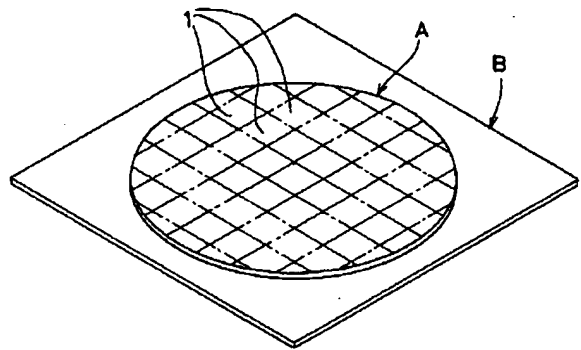
【図6】



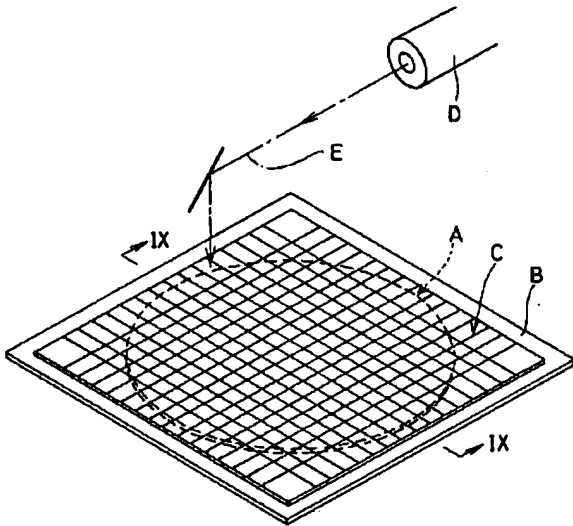
【図7】



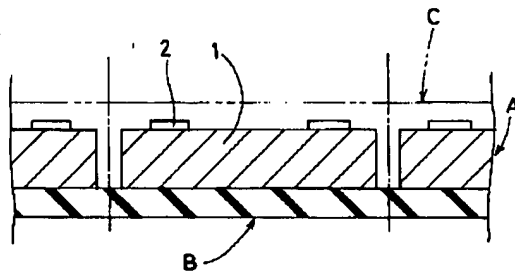
【図10】



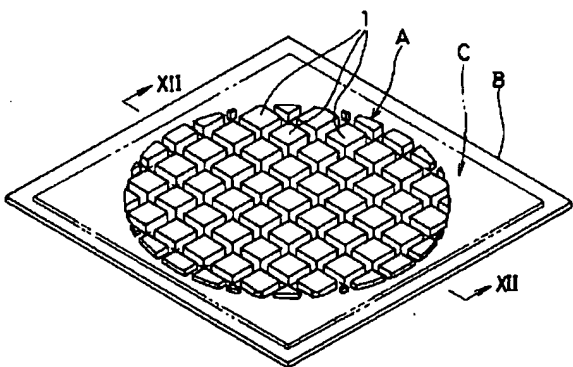
【図8】



【図12】



【図11】



(6)

特開2000-299409

フロントページの続き

(51)Int. Cl.⁷
H05K 9/00

識別記号

FI
H01L 23/14

テーマコード(参考)
R